

CAPÍTULO V

COMPONENTES BÁSICOS DE UN PROCESADOR

5.1 ESTRUCTURA BÁSICA DE UNA COMPUTADORA

En este capítulo se diseñarán algunos de los componentes que integran una computadora. En la figura 5.1 se muestra el diagrama de bloques general de una computadora.

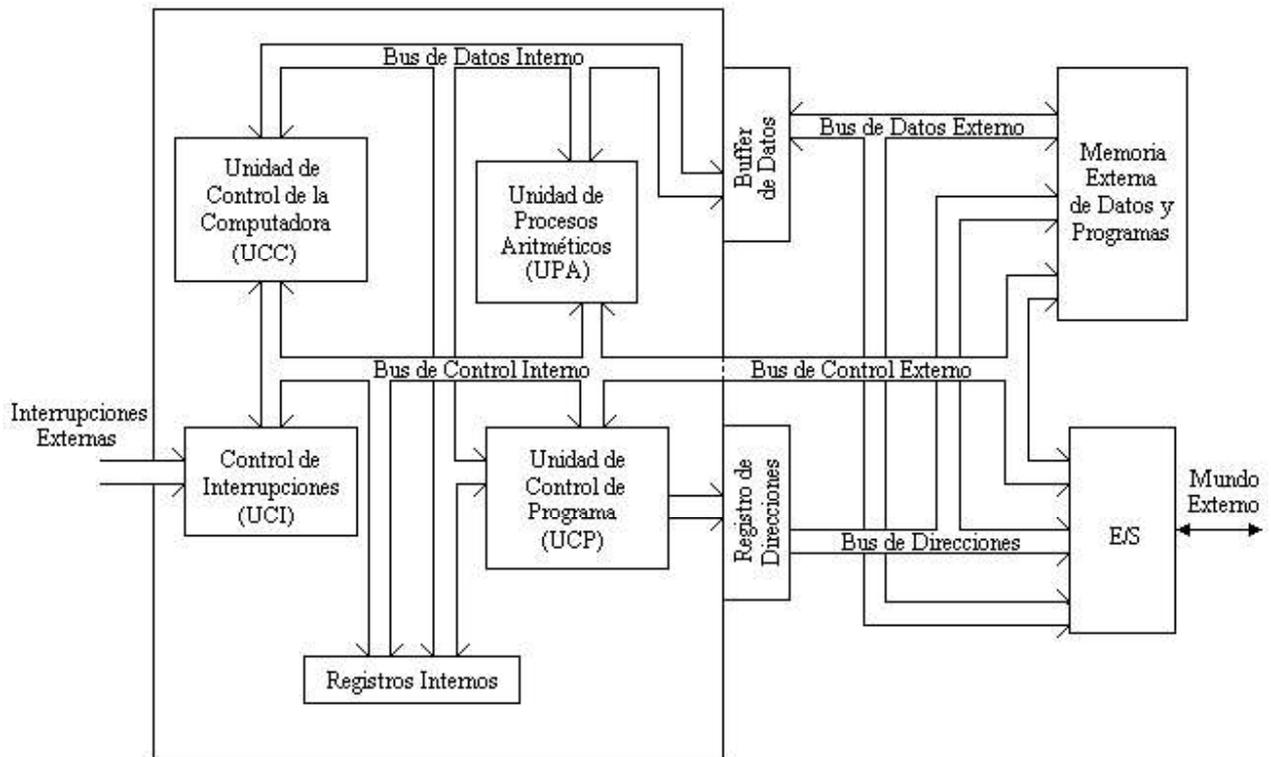


Figura 5.1. Estructura básica de una computadora.

Como se observa en el diagrama de bloques, una computadora está constituida internamente por cinco bloques básicos:

- 1) *Unidad de Control de la Computadora (UCC)*. Se encarga de enviar las señales de control a los demás elementos de la computadora.
- 2) *Unidad de Procesos Aritméticos (UPA)*. En ella se realizan todas las operaciones lógico aritméticas.
- 3) *Unidad de Control de Programa (UCP)*. Calcula la dirección de la siguiente instrucción a ser ejecutada.
- 4) *Unidad de Registros Internos*. Conjunto de registros capaces de almacenar información.
- 5) *Unidad de Control de Interrupciones (UCI)*. Se encarga del manejo de las interrupciones externas.

A continuación se describe cada uno de estos componentes.

derecha. Este nuevo valor es la dirección en la memoria de microprograma en donde comienzan las micro-operaciones que ejecuta esta instrucción.

En el campo de salidas de la memoria de microprograma se tienen las líneas que controlan tanto a la arquitectura interna como a la externa, las cuales se activan según la instrucción a ejecutar.

Por otra parte, las entradas de la arquitectura indican el estado en el que se encuentra tanto la arquitectura interna como la externa, y sirven para que el secuenciador pueda tomar decisiones de acuerdo a ciertos criterios. Estas entradas son seleccionadas en el bloque de lógica de selección por medio del campo de prueba. La línea de INT también se conecta a la lógica de selección para revisar si existe alguna petición de interrupción.

Otra forma alternativa de diseñar la UCC es utilizando los lenguajes de descripción de hardware como Verilog HDL, VHDL ó AHDL. Utilizando alguno de estos lenguajes y el código de la instrucción que se desea ejecutar, es posible describir los pasos requeridos para ejecutar dicha instrucción. En el capítulo 6 se mostrará un ejemplo de cómo hacer esto.

5.3 UNIDAD DE PROCESOS ARITMÉTICOS (UPA)

La unidad de procesos aritméticos (UPA) se encarga de realizar las operaciones lógico aritméticas básicas. Para ello, cuenta con una unidad lógico aritmética que le permite hacer sumas, restas, y operaciones lógicas AND, OR exclusiva, OR exclusiva negada, entre otras. La UPA también cuenta con un registro de corrimiento auxiliar para guardar valores intermedios que posteriormente operará.

La figura 5.3a muestra una UPA de ocho bits basada en una UPA fabricada por AMD de cuatro bits (D2901). Este dispositivo, como en el caso del secuenciador, no existen físicamente en la actualidad, sino como un módulo en software que puede ser integrado en un sistema digital. El apéndice B muestra la realización de éstos módulos usando el lenguaje de descripción de hardware Verilog HDL en el entorno MAX+PLUS II.

Como se observa en la figura 5.3a, las fuentes de la unidad lógico aritmética pueden venir de cinco lugares diferentes: de la entrada A, de la entrada B, del registro de corrimiento auxiliar Q, de la entrada de datos D y el valor de cero.

El resultado de la operación de la ALU puede ser desplazado a la derecha o a la izquierda antes de ser guardado en alguno de los registros de destino. Estos registros de destino son el registro de corrimiento Y_{upa} y el registro de corrimiento Q. Además, observe que la señal \overline{DUPA} habilita o no la carga de un resultado o de un corrimiento en los registros de destino.

El diagrama de bloques de la UPA se muestra a continuación.

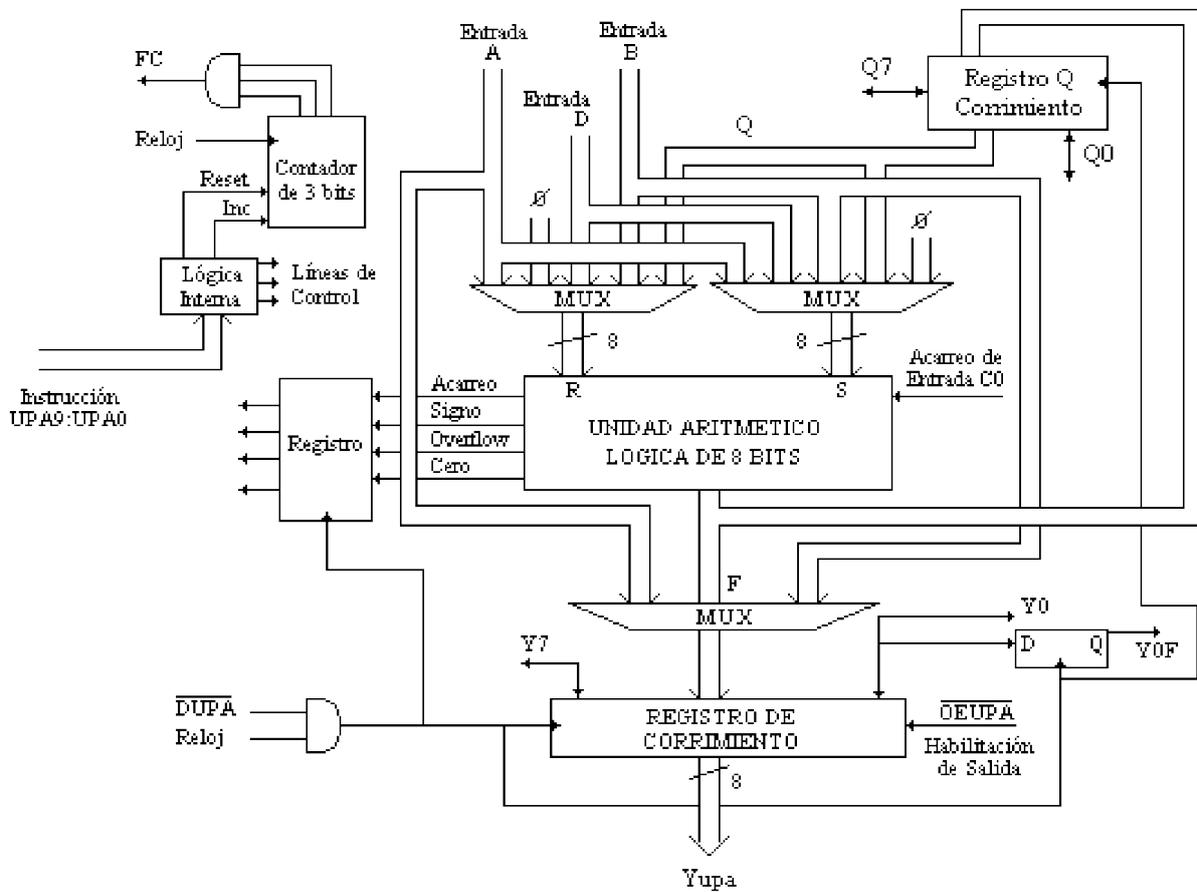


Figura 5.3a. Diagrama de bloques de la unidad de procesos aritméticos (UPA).

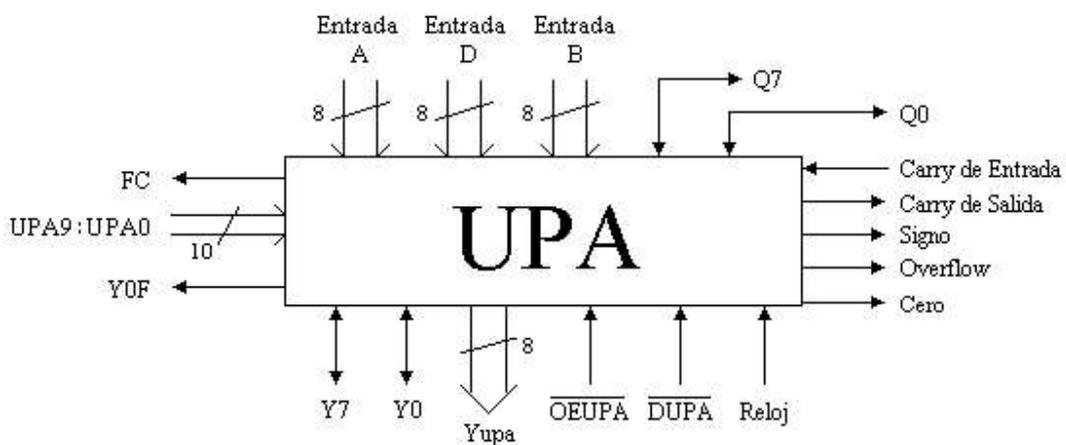


Figura 5.3b. Unidad de procesos aritméticos (UPA).

Las tablas 5.1A, 5.1B y 5.1C muestran la relación existente entre las líneas de control de la UPA (UPA9:UPA0) y las operaciones que ésta puede ejecutar.

En particular, la tabla 5.1A presenta la selección de las fuentes de la ALU, la tabla 5.1B las operaciones que ejecuta la ALU, y la tabla 5.1C los destinos y desplazamientos del resultado obtenido por la ALU.

<i>Líneas de Control</i>				<i>Fuentes de la ALU y Control del Contador de 3 Bits</i>			
UPA3	UPA2	UPA1	UPA0	R	S	ResetContador	IncrementaContador
0	0	0	0	A	0	0	0
0	0	0	1	A	B	0	0
0	0	1	0	Q	0	0	0
0	0	1	1	B	0	0	0
0	1	0	0	0	A	0	0
0	1	0	1	D	A	0	0
0	1	1	0	D	Q	0	0
0	1	1	1	D	0	0	0
1	0	0	0	D	B	0	0
1	0	0	1	Q	B	0	0
1	0	1	0	X	X	1	0*
1	0	1	1	X	X	0	1*
1	1	0	0	Q	A	0	0

X - Significa "no importa"

Tabla 5.1A. Selección de las fuentes de la ALU y líneas de control para el contador de 3 bits.

<i>Líneas de Control</i>			<i>Funciones de la ALU</i>	
UPA6	UPA5	UPA4		
0	0	0	$R + S + C_{in}$	(Suma)
0	0	1	$S - R - \overline{C_{in}}$	(Resta)
0	1	0	$R - S - C_{in}$	(Resta)
0	1	1	$R \vee S$	(Or)
1	0	0	$R \wedge S$	(And)
1	0	1	$\overline{R} \wedge S$	(Complemento y And)
1	1	0	$R \oplus S$	(Or exclusivo)
1	1	1	$\overline{R \oplus S}$	(Nor exclusivo)

Tabla 5.1B. Operaciones de la ALU.

* Cuando se ejecuta alguna de estas operaciones, los resultados almacenados en los registros Y_{upa} y Q no deben ser alterados, por lo tanto, es necesaria la activación de la señal \overline{DUPA} .

<i>Líneas de Control</i>			<i>Destinos y Desplazamientos</i>	
UPA9	UPA8	UPA7	Yupa	Q
0	0	0	F	F
0	0	1	F	-
0	1	0	A	-
0	1	1	B	-
1	0	0	Yupa/2	-
1	0	1	-	Q/2
1	1	0	2Yupa	-
1	1	1	-	2Q

Tabla 5.1C. Destinos y desplazamientos de la UPA.

Por ejemplo, para realizar la operación lógica OR entre las entradas A y B, y colocar el resultado en el registro Y_{upa} , se necesitan activar las siguientes líneas.

1. Las fuentes A y B se seleccionan con UPA3 UPA2 UPA1 UPA0 = 0001
2. La función OR se selecciona con las líneas UPA6 UPA5 UPA4 = 011
3. El destino Y_{upa} se selecciona con las líneas UPA9 UPA8 UPA7 = 000

La siguiente figura muestra la activación de las señales de control de la UPA para efectuar la operación $Y_{upa}=A \vee B$ usando cartas ASM.

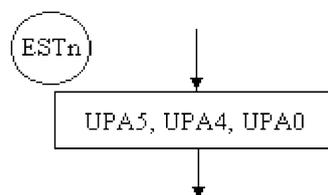


Figura 5.3c. Activación de las líneas de control en una carta ASM.

La UPA también tiene unas líneas de salida que reflejan el resultado de la última operación hecha por la ALU. La línea Z indica si el resultado fue cero; SIGNO indica el valor del bit más significativo; y OVR indica si hubo sobreflujo. También se cuenta con dos líneas de acarreo: uno de entrada y otro de salida.

5.4 REGISTROS INTERNOS

La computadora que diseñaremos requiere una serie de registros de 8 y 16 bits que tanto el usuario como el CPU pueden utilizar. Los registros de 8 bits, denominados acumuladores, sirven únicamente como dispositivos de almacenamiento. Los registros de 16 bits, denominados registros contadores, tienen mayor funcionalidad, pues además de servir como dispositivos de almacenamiento, permiten incrementar o decrementar el dato guardado.

5.4.1 REGISTROS ACUMULADORES

Los registros acumuladores de 8 bits están conectados directamente a las entradas de la UPA, de esta manera se pueden efectuar operaciones lógico aritméticas en forma directa.

La figura 5.4 muestra el diagrama de bloques del acumulador. Como puede observar, el acumulador está formado por un registro "latch" y por tres "transeivers". Los transeivers tienen la función de aislar o conectar el latch a los diferentes buses de datos del acumulador (A, B y C).

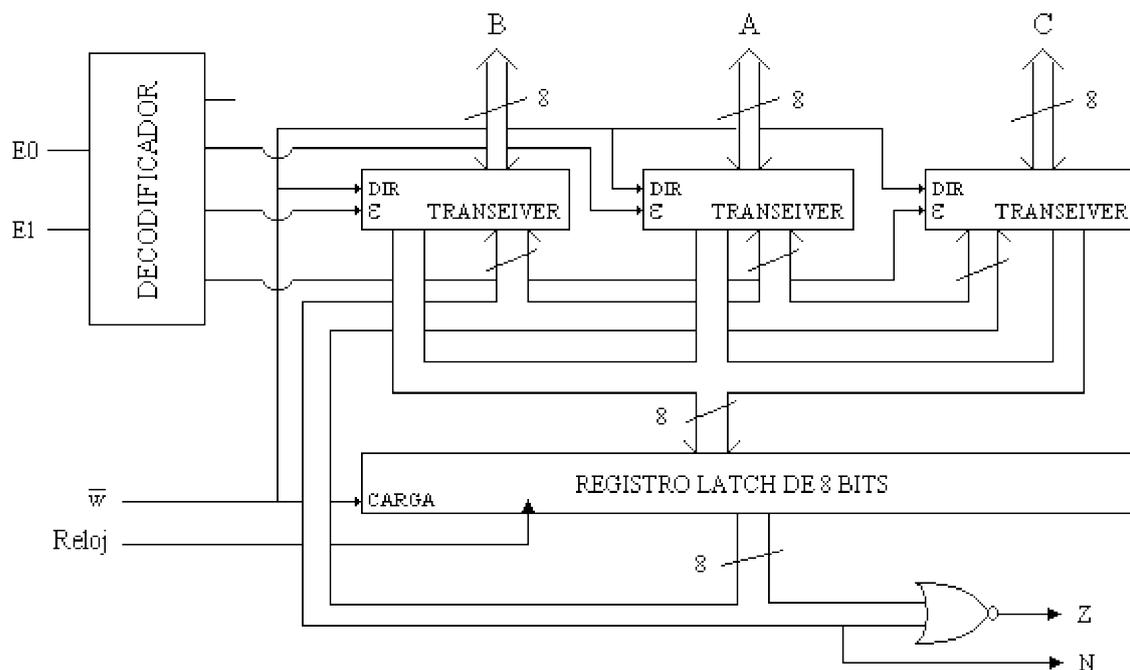


Figura 5.4. Diagrama de bloques del acumulador.

Las líneas de control E1 y E0 permiten seleccionar alguno de los buses de entrada conectados al acumulador. La tabla 5.2 muestra la relación existente entre estas líneas y el bus que seleccionan.

<i>E1</i>	<i>E0</i>	<i>Bus Seleccionado</i>
0	0	Ninguno
0	1	A
1	0	B
1	1	C

Tabla 5.2. Relación entre las señales de control E1:E0 y los buses que seleccionan.

La línea \overline{w} habilita la carga de datos en el acumulador, de manera que si presenta un nivel lógico bajo (0), escribirá el dato del bus seleccionado en el latch. Si por el contrario, presenta un nivel lógico alto (1), entonces el registro latch estará habilitado sólo para lectura.

También existen dos señales de salida: la bandera de cero (Z) y la bandera de negativo (N). La bandera Z vale uno si el dato en el acumulador es cero, y vale cero en caso contrario. La bandera N refleja el signo del número guardado, dicho signo está dado por el bit más significativo del acumulador.

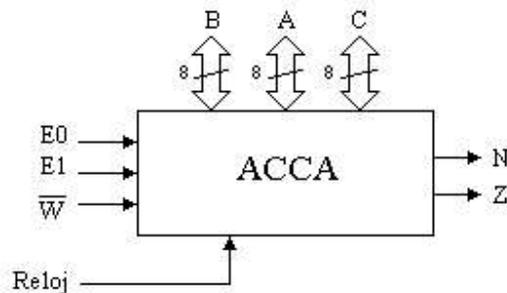


Figura 5.5. Diagrama del acumulador.

5.4.2 ALGORITMO DE LA MULTIPLICACIÓN

La siguiente figura muestra una configuración de la UPA con los registros acumuladores para efectuar la multiplicación de dos números. Tenga en cuenta que el algoritmo de multiplicación debe estar implementado en la máquina de estados.


```

B = Multiplicando
A = Multiplicador
Q = A
A = 0
FOR j = 0:7
    IF (Q0 = 1) THEN A = A + B

    Q = Corrimiento a la derecha de Q un bit, con Q7 = A0
    A = Corrimiento a la derecha de A un bit. Si Q0 = 1 entonces A7 = Acarreo de A+B, si no A7 = 0
END FOR
B = Q
    
```

Finalmente, el resultado de $A \times B$ queda en los acumuladores A (parte más significativa) y B (parte menos significativa). La siguiente tabla muestra los cálculos efectuados por la UPA para obtener el resultado de $A \times B$.

Registro B	Registro A	Registro Q	Acciones
0000 0111	0000 0101	xxxxxxxx	-----
0000 0111	0000 0000	0000 0101	Q←A, A←0
0000 0111	0000 0111	0000 0101	Como Q ₀ =1 entonces A←A+B
0000 0111	0000 0011	1000 0010	Corrimiento de A y Q a la derecha con Q ₇ =A ₀ y A ₇ =Acarreo de A+B
0000 0111	0000 0011	1000 0010	Como Q ₀ =0 no hace nada
0000 0111	0000 0001	1100 0001	Corrimiento de A y Q a la derecha con Q ₇ =A ₀ y A ₇ =0
0000 0111	0000 1000	1100 0001	Como Q ₀ =1 entonces A←B+A
0000 0111	0000 0100	0110 0000	Corrimiento de A y Q a la derecha
0000 0111	0000 0100	0110 0000	Como Q ₀ =0 no se hace nada
0000 0111	0000 0010	0011 0000	Corrimiento de A y Q a la derecha
0000 0111	0000 0010	0011 0000	Como Q ₀ =0 no se hace nada
0000 0111	0000 0001	0001 1000	Corrimiento de A y Q a la derecha
0000 0111	0000 0001	0001 1000	Como Q ₀ =0 no se hace nada
0000 0111	0000 0000	1000 1100	Corrimiento de A y Q a la derecha
0000 0111	0000 0000	1000 1100	Como Q ₀ =0 no se hace nada
0000 0111	0000 0000	0100 0110	Corrimiento de A y Q a la derecha
0000 0111	0000 0000	0100 0110	Como Q ₀ =0 no se hace nada
0000 0111	0000 0000	0010 0011	Corrimiento de A y Q a la derecha
0010 0011	0000 0000	0010 0011	B←Q

X - Significa "no importa"

Tabla 5.3. Operaciones para efectuar la multiplicación de A por B.

El resultado final queda: $AB = 0000\ 0000\ 0010\ 0011$.

La figura 5.7 muestra la carta ASM que ejecuta la multiplicación de dos operandos de 8 bits. Observe como las salidas de la carta ASM son las que controlan las funciones de la UPA.

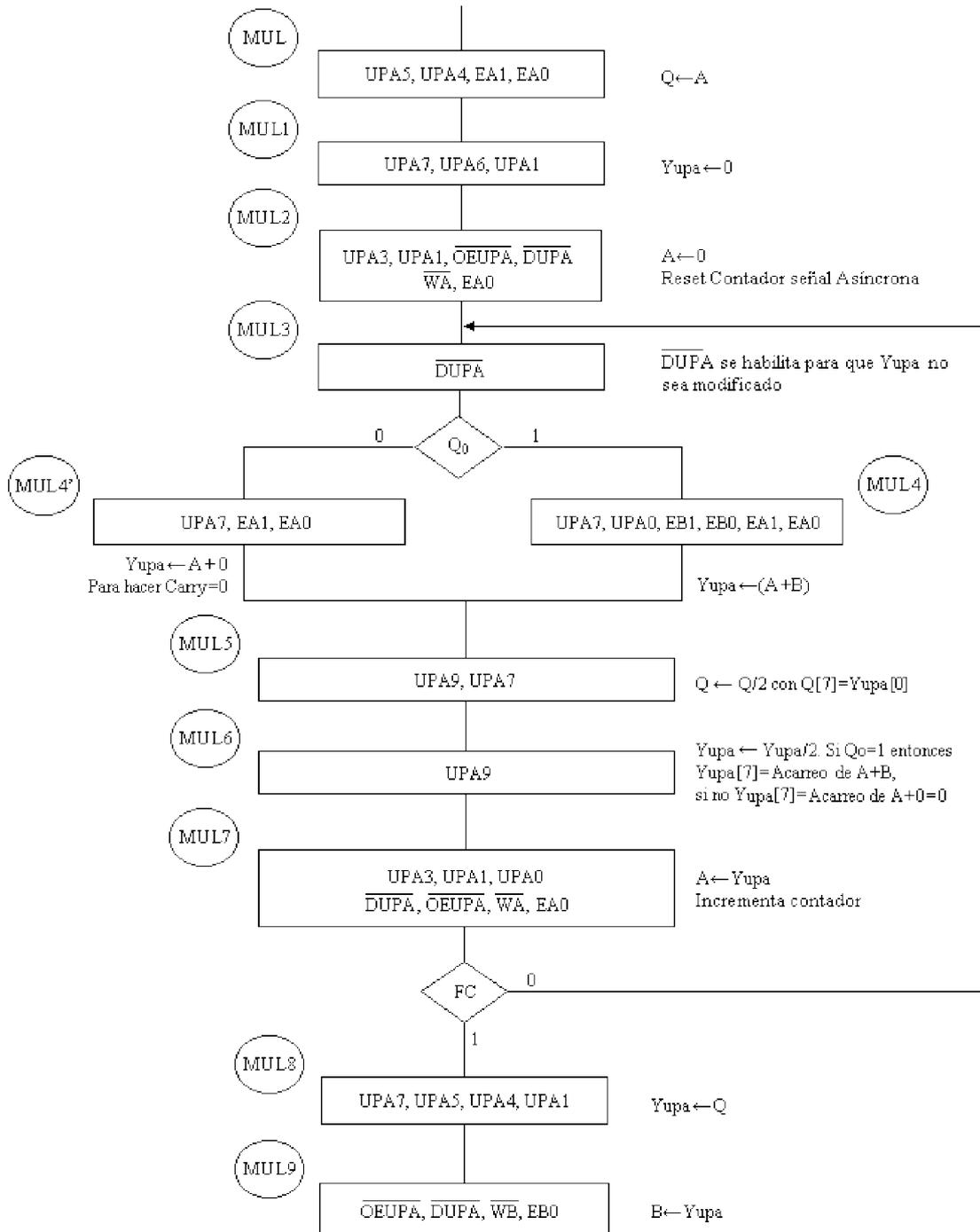


Figura 5.7. Carta ASM para la multiplicación de dos operandos de 8 bits.

5.4.3 REGISTRO CONTADOR DE 16 BITS

La figura 5.8a muestra un registro contador de 16 bits, y tres transeivers que lo aíslan o lo conectan a los buses de la arquitectura.

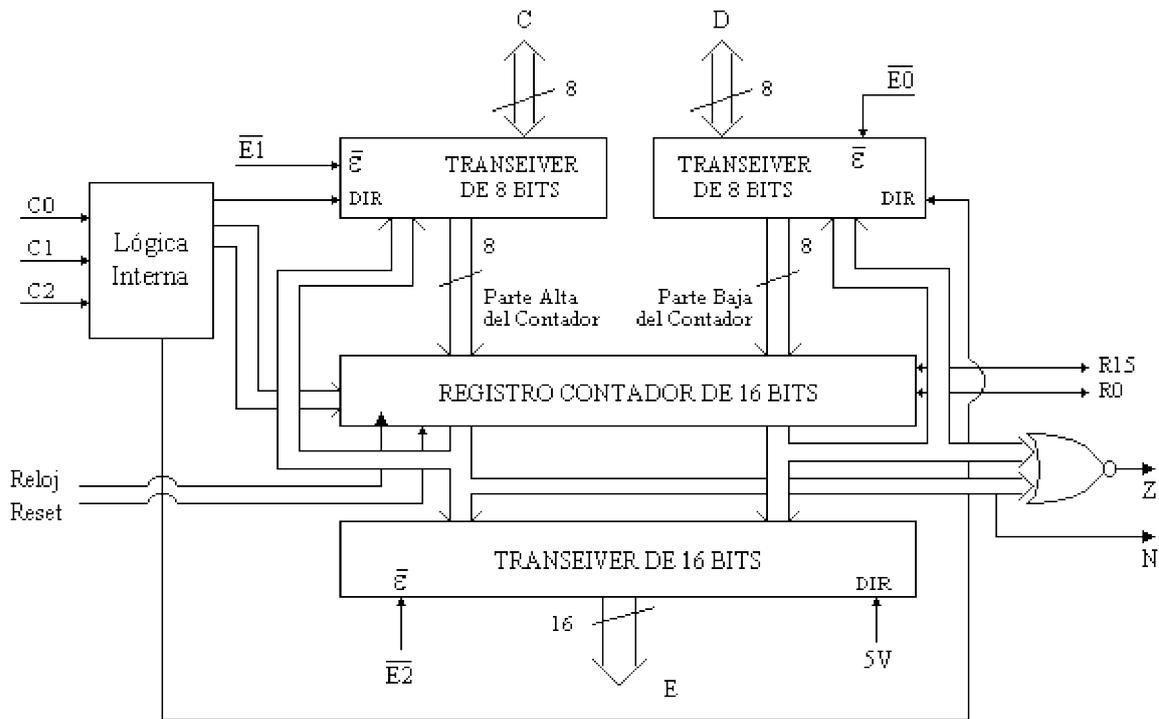


Figura 5.8a. Diagrama de bloques de un registro contador de 16 bits.

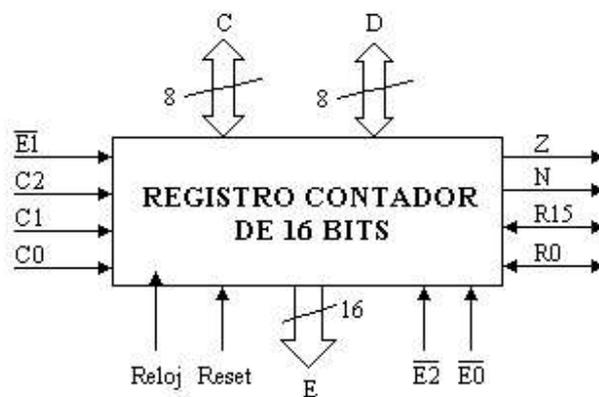


Figura 5.8b. Registro contador de 16 bits.

La tabla 5.4 muestra la relación entre las líneas de control C2, C1 y C0, y las operaciones que realiza el contador.

Líneas de Control			Función del Contador
C2	C1	C0	
0	0	0	Mantiene su valor (Lectura)
0	0	1	Incrementa en 1
0	1	0	Decrementa en 1
0	1	1	Carga un valor en la Parte Baja (Escritura)
1	0	0	Carga un valor en la Parte Alta (Escritura)
1	0	1	Carga un valor de 16 bits (Escritura)
1	1	0	Corrimiento a la Izquierda
1	1	1	Corrimiento a la Derecha

Tabla 5.4. Operaciones del registro contador.

Finalmente, las señales $\overline{E2}$, $\overline{E1}$ y $\overline{E0}$ permiten seleccionar los buses de entrada/salida en el registro. Por ejemplo, $\overline{E2}$ selecciona el bus E, $\overline{E1}$ selecciona el bus C y $\overline{E0}$ selecciona el bus D.

5.5 UNIDAD DE CONTROL DE PROGRAMA (UCP)

La UCP se encarga de calcular la dirección de memoria en donde se encuentra el código de la siguiente instrucción a ejecutar. Para esto, cuenta con un registro denominado contador de programa (PC) que contiene la dirección de la siguiente instrucción a ejecutar, y de un registro llamado apuntador de pila (AP) que apunta a una memoria en donde se guardan las direcciones de regreso de las llamadas a subrutinas. La figura 5.9 muestra el diagrama de bloques de la UCP.

Como puede observar, la UCP cuenta con dos registros contadores de 16 bits del mismo tipo que los explicados en el inciso anterior.

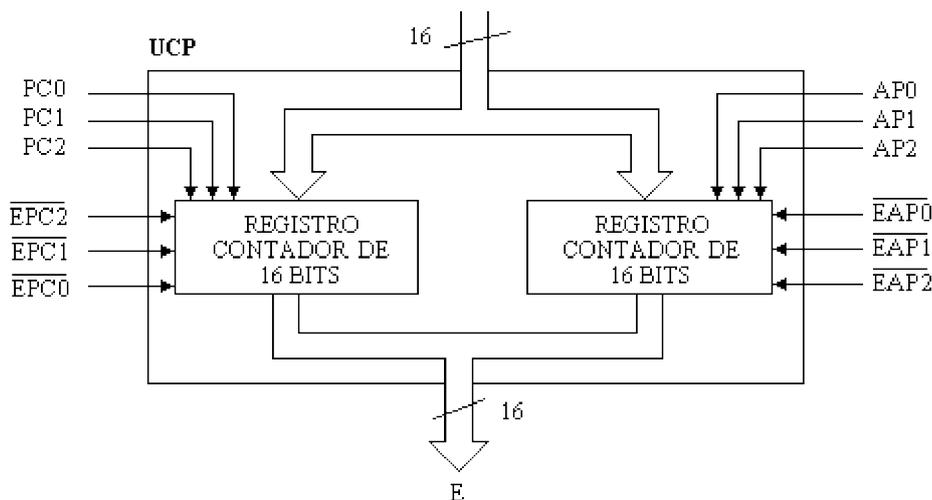


Figura 5.9. Unidad de control de programa (UCP).

5.6 REGISTRO DE ESTADOS O BANDERAS

El registro de banderas contiene los valores de ocho variables que indican el estado de los distintos componentes de la arquitectura. Estos valores pueden venir de alguno de los elementos que integran a la arquitectura, o bien, del bus de datos.

El registro de estados está formado por las siguientes banderas:

- C: Bit de acarreo/borrow.
- V: Bit de sobreflujo.
- Z: Bit de cero. Indica si el resultado de la última operación que se realizó en la UPA, o el valor guardado en alguno de los registros, es igual a cero.
- N: Bit de negativo. Indica el signo del resultado de la UPA, o del valor guardado en alguno de los registros.
- I: Bit de interrupción I. Habilita con un cero, y deshabilita con un uno, las interrupciones conectadas a la línea $\overline{\text{IRQ}}$.
- H: Bit de medio acarreo. Acarreo de 4 bits de la UPA. Se utiliza en operaciones donde se usan números con formato BCD.
- X: Bit de interrupción X. Habilita con un cero, y deshabilita con un uno, las interrupciones conectadas a la línea $\overline{\text{XIRQ}}$.
- S: Bit de stop. Pone al microprocesador en bajo consumo de energía.

Cada vez que se ejecuta una instrucción en ensamblador, el registro de estados es actualizado con nuevos valores de banderas. Estos valores, dependiendo de la instrucción que se ejecutó, pueden provenir de los registros acumuladores, de los registros de 16 bits, de la UPA, del bus de datos, o de ningún sitio, es decir, no son modificados.

El siguiente diagrama muestra la estructura externa de este registro, también denominado **CCR** (Condition Code Register).

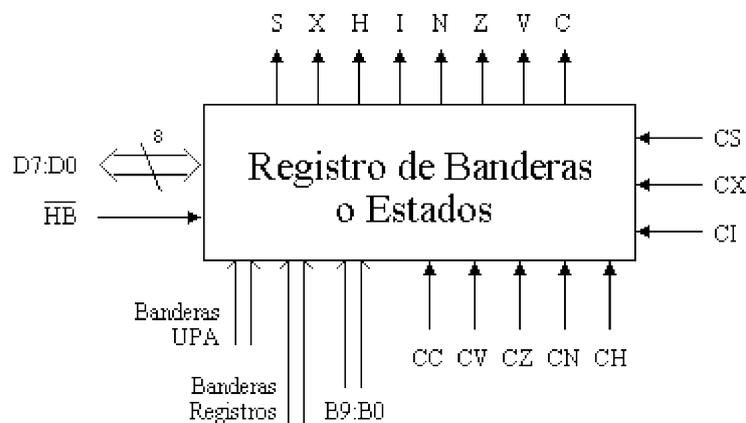


Figura 5.10. Estructura externa del registro de banderas.

La figura 5.11 muestra la estructura interna del registro de banderas.

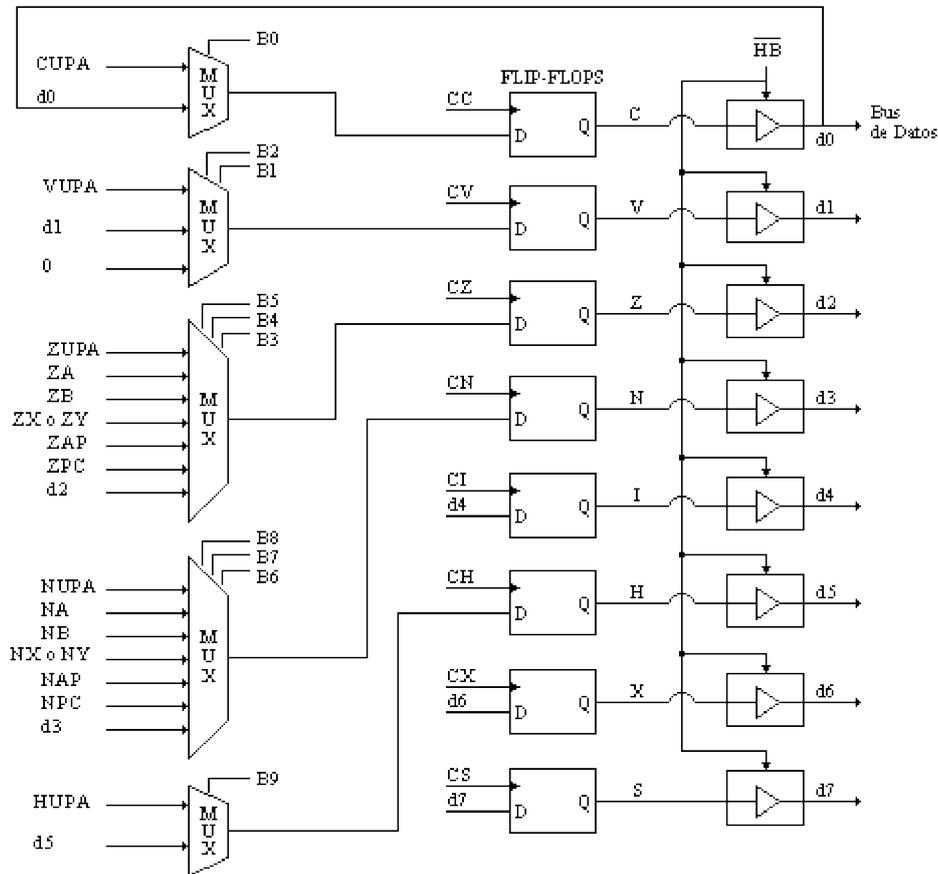


Figura 5.11. Estructura interna del registro de banderas.

Las líneas d7 a d0 conectan al registro de banderas con el bus de datos. Los circuitos tres estados, en conjunto con la señal \overline{HB} , aíslan o conectan el registro de banderas al bus de datos interno.

Las líneas CC, CV, CZ, CN, CI, CH, CX y CS controlan los relojes de los flip-flops asociados a las banderas. Las líneas B9 a B0 controlan la selección de los multiplexores, por ejemplo para la bandera de Z, si B5B4B3=000 se selecciona la bandera de Z de la UPA, si B5B4B3=001 la del acumulador A, si B5B4B3=010 la del acumulador B, si B5B4B3=011 la del registro índice X ó Y, si B5B4B3=100 la del apuntador de pila, si B5B4B3=101 la del contador de programa y si B5B4B3=110 la del bus de datos. Para seleccionar el resto de las banderas se procede de manera similar.

5.7 UNIDAD DE CONTROL DE INTERRUPCIONES (UCI)

La UCI se encarga de recibir peticiones de interrupciones externas. Tales peticiones provienen de alguno de los dispositivos conectados a las líneas $\overline{\text{IRQ}}$ y $\overline{\text{XIRQ}}$. Como respuesta, la UCI envía una dirección de salto al secuenciador indicándole el inicio del algoritmo de máquina de estados que atiende la interrupción pedida.

Antes de atender la interrupción, el algoritmo de la máquina de estados guarda en la pila la dirección de la siguiente instrucción a ser ejecutada, dirección que está contenida en el registro PC. Los valores de los acumuladores, de los registros X e Y, y del registro de estados, también son guardados en la pila. Una vez guardados estos datos, el contador de programa (PC) se carga con la dirección de inicio de la rutina de atención a la interrupción. En el capítulo siguiente se muestran las cartas ASM que atienden las interrupciones.

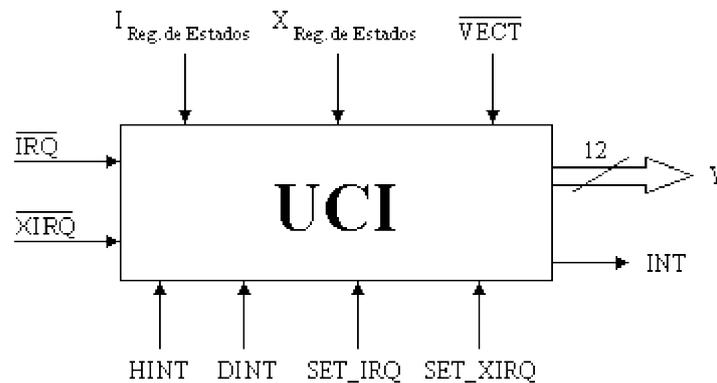


Figura 5.12. Diagramas de bloques externo de la UCI.

En el registro de banderas del 68HC11 se tienen dos bits que activan o desactivan las interrupciones que provienen de los dispositivos conectados a las líneas $\overline{\text{IRQ}}$ y $\overline{\text{XIRQ}}$. Las desactivaciones se pueden hacer por medio de instrucciones de software, de manera que el usuario tiene el control directo sobre estas líneas. Por otra parte, la interrupción $\overline{\text{XIRQ}}$ tiene prioridad sobre la interrupción $\overline{\text{IRQ}}$, así que si ocurrieran al mismo tiempo, la primera que se atendería sería $\overline{\text{XIRQ}}$ y después $\overline{\text{IRQ}}$.

En la figura 5.13 se muestra el diagrama de bloques de la unidad de control de interrupciones. Las líneas $X_{\text{Reg. de Estados}}$ e $I_{\text{Reg. de Estados}}$ están conectadas directamente a los bits que habilitan las interrupciones, con un cero se habilitan y con un uno se deshabilitan. Las líneas SET_XIRQ y SET_IRQ deshabilitan las interrupciones cuando hay un reset. Las líneas HINT y DINT sirven para deshabilitar y habilitar la generación de la línea que indica la presencia de una interrupción (INT). Y los registros de direcciones I y X contienen las direcciones a donde tiene que saltar el secuenciador en caso de que ocurriera una interrupción.

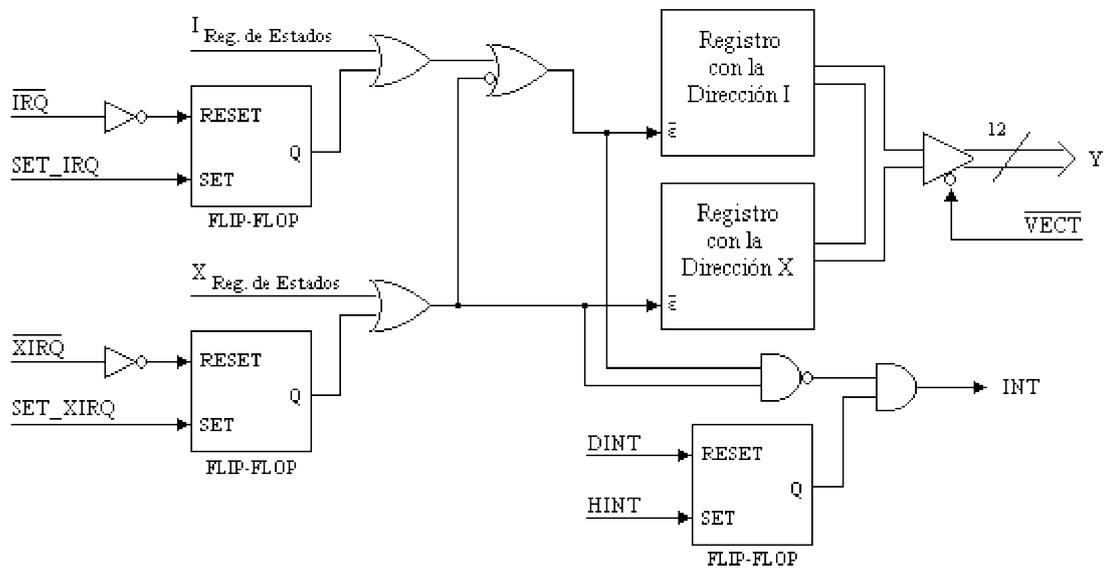


Figura 5.13. Diagrama de bloques de la unidad de control de interrupciones (UCI).

PROBLEMAS

1. Diseñe la lógica interna que controla las fuentes de la UPA; es decir, dependiendo de los valores de UPA3 a UPA0, genere las líneas que controlan a los dos multiplexores que están conectados a las entradas R y S de la ALU. Consulte la tabla 5.1A.
2. Diseñe una ALU basado en las especificaciones de la tabla 5.1B y las líneas UPA6 a UPA4.
3. Diseñe la lógica interna que controla los destinos y desplazamientos de la UPA usando las líneas UPA9 a UPA7. Consulte la tabla 5.1C.
4. Diseñe la lógica interna del registro contador de 16 bits mostrado en la figura 5.8a.
5. Diseñe un registro contador de 16 bits, el cual pueda ser conectado en cascada para formar registros de mayor capacidad.

Especificaciones del registro contador de 16 bits:

- Realiza cargas de 8 bits a través de dos buses: el bus A que carga un dato en la parte alta del registro y el bus B que carga un dato en la parte baja.
 - Realiza lecturas de 8 y de 16 bits a través de los buses A y B (de 8 bits cada uno) y del bus C (de 16 bits).
 - Los buses A, B y C utilizan tecnología tres estados.
 - Además, el contador puede realizar incrementos y decrementos.
- a) Dibuje el diagrama de bloques para este registro. Si utiliza bloques de lógica internos, explique cada uno de esos bloques utilizando una tabla de verdad.
 - b) Conecte dos registros en cascada y verifique que los incrementos y decrementos estén efectuándose correctamente, para ello, anexe un diagrama de tiempos.
6. Investigue un algoritmo para efectuar la división de dos números enteros positivos, y con base en ese algoritmo responda los siguientes incisos.
 - a) Modifique la arquitectura de la figura 5.6, si así lo requiriera, de manera que pueda ser ejecutado su algoritmo de la división.
 - b) Diseñe el algoritmo de la máquina de estados, carta ASM, que controle las señales de la UPA y de los registros acumuladores A y B para efectuar la división.
 - c) Pruebe el funcionamiento de su algoritmo ejecutando la siguiente división: 39 entre 8.
 7. Construya una unidad de interrupciones que permita ocho niveles de interrupción. Con tres líneas de entrada se indica el número del periférico que está interrumpiendo y con otra línea se indica que hay una nueva interrupción. En el registro de estados se indica a partir de que nivel se aceptarán las interrupciones; por ejemplo, si se escribe un cuatro en el registro de estados, solamente las interrupciones de nivel cuatro y superiores serán atendidas.